

1/12

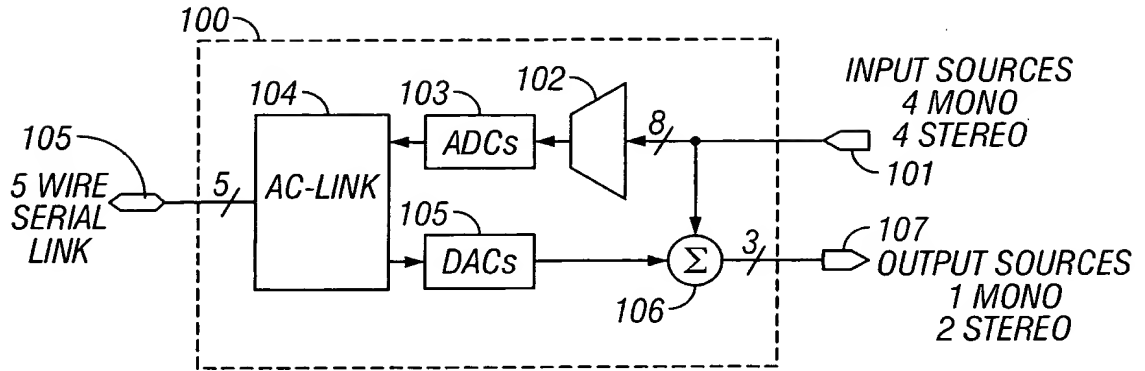


FIG. 1A

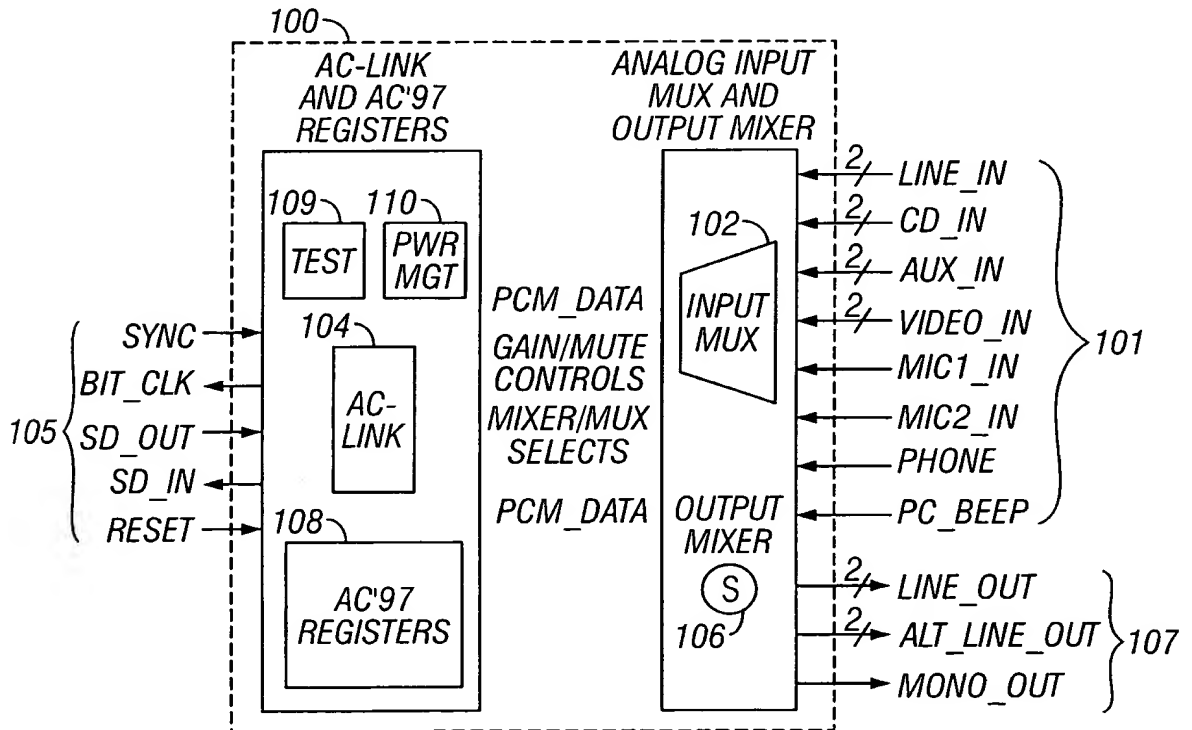


FIG. 1B

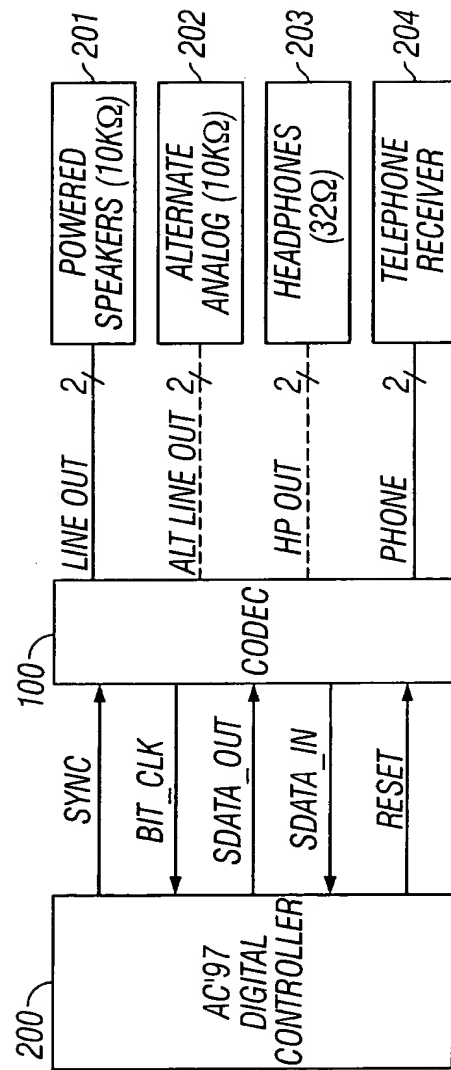


FIG. 2A

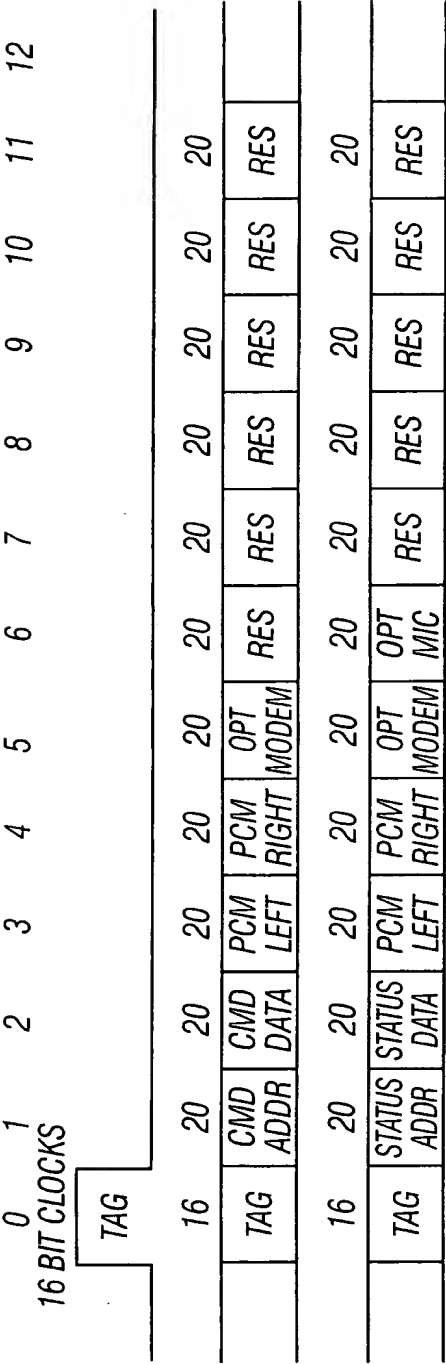


FIG. 2B

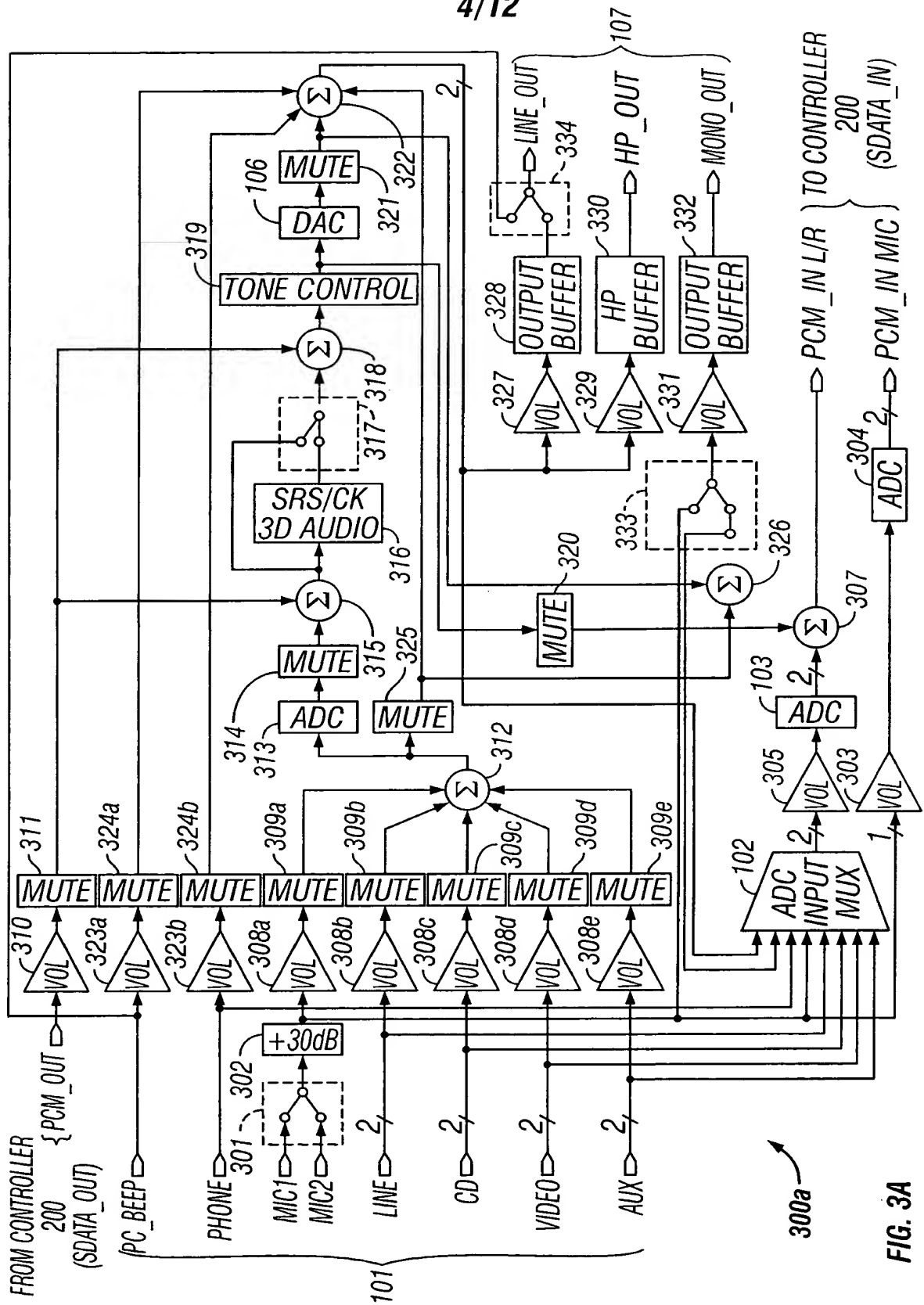


FIG. 3A

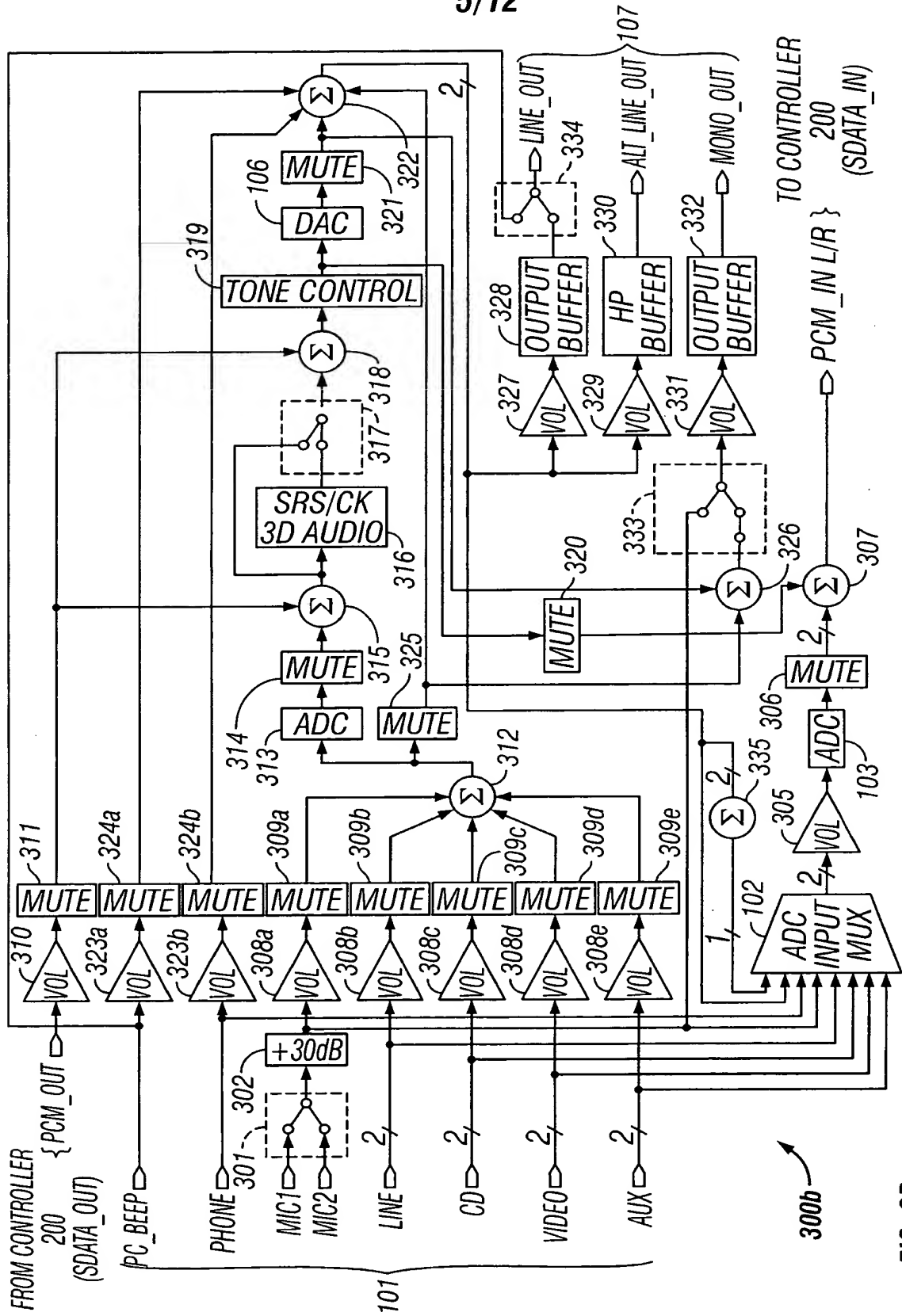


FIG. 3B

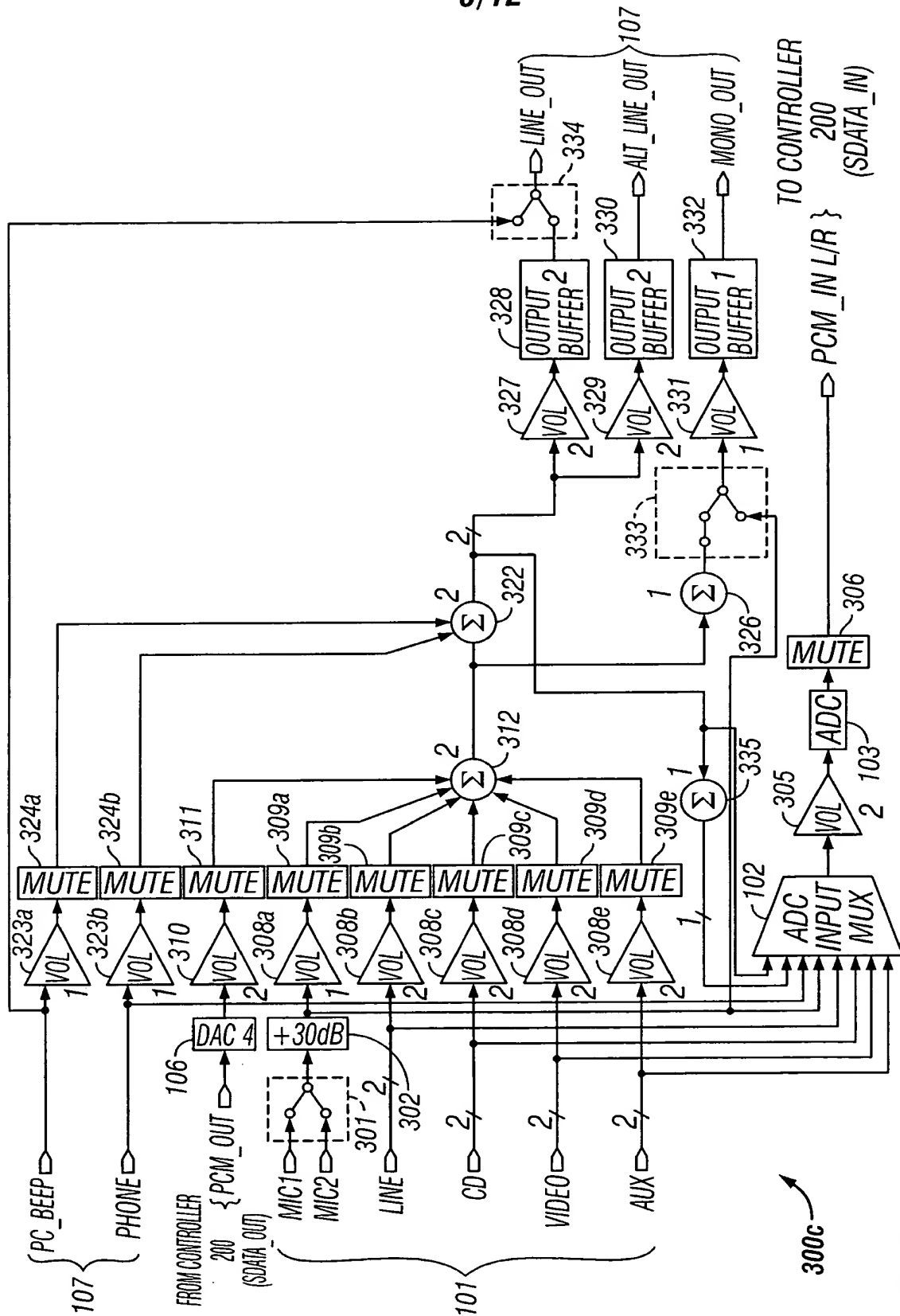


FIG. 3C

MASTER VOLUME (INDEX 02h)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	ML5	ML4	ML3	ML2	ML1	ML0	X	X	MR5	MR4	MR3	MR2	MR1	MR0

FIG. 4A

ALTERNATE VOLUME (INDEX 04h)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	ML5	ML4	ML3	ML2	ML1	ML0	X	X	MR5	MR4	MR3	MR2	MR1	MR0

FIG. 4B

MASTER MONO VOLUME (INDEX 06h)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	X	X	X	X	X	X	X	X	MM5	MM4	MM3	MM2	MM1	MM0

FIG. 4C

PC_BEEP VOLUME (INDEX 0Ah)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	X	X	X	X	X	X	X	X	X	PV3	PV2	PV1	PV0	X

FIG. 4D

ANALOG MIXER INPUT GAIN REGISTERS (INDEX 0C_18h)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
MUTE	X	X	Gx4	Gx3	Gx2	Gx1	Gx0	X	X	X	Gx4	Gx3	Gx2	Gx1	Gx0

FIG. 4E

GENERAL PURPOSE REGISTER (INDEX 20h)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	MIX	MS	LPBK	0	0	0	0	0	0	0

FIG. 4G

POWERDOWN CONTROL/STATUS REGISTER (INDEX 26h)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	PR6	PR5	PR4	PR3	PR2	PR1	PR0	0	0	0	0	REF	ANL	DAC	ADC

FIG. 4H

TEST CONTROL REGISTER (INDEX 5Ch)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	0	0	0	0	0	0	0	0	0	T3	T2	T1	T0

FIG. 4I

ADC/DAC CALIBRATION ADDRESS REGISTER (INDEX 76h)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
WEA	0	0	0	0	0	A1	A0	WED	0	0	0	0	0	D1	D0

FIG. 4J

ADC CALIBRATION DATA REGISTER (INDEX 78h)

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

FIG. 4K

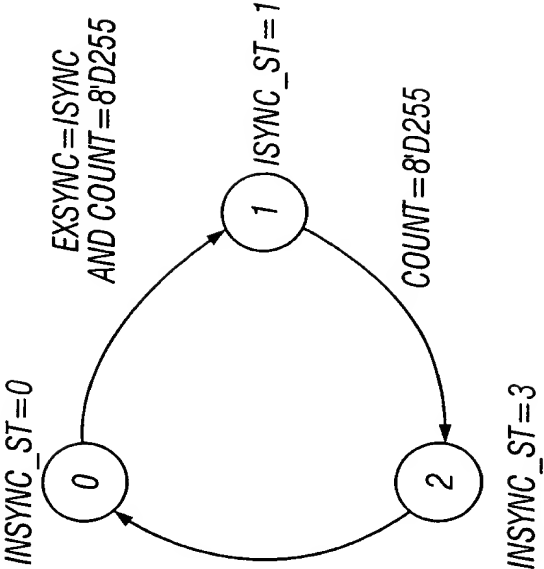
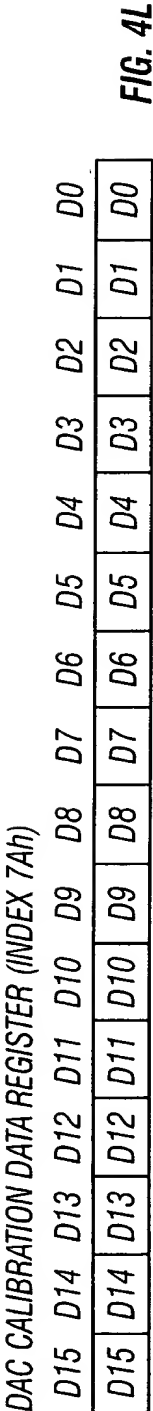


FIG. 5

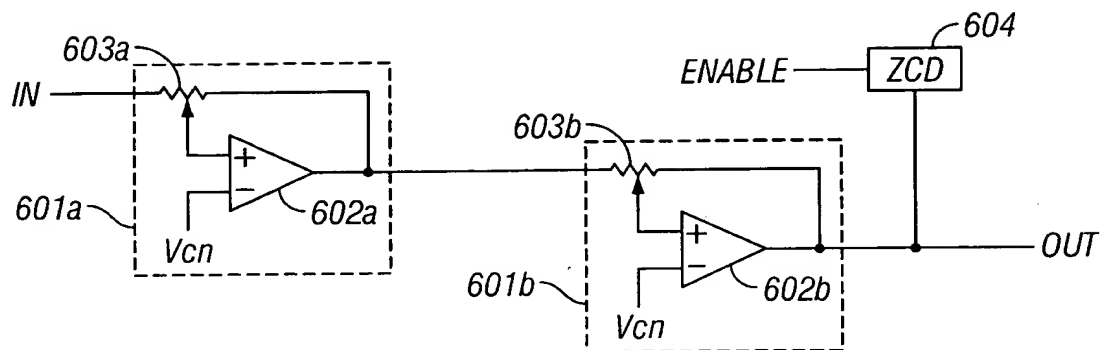


FIG. 6A

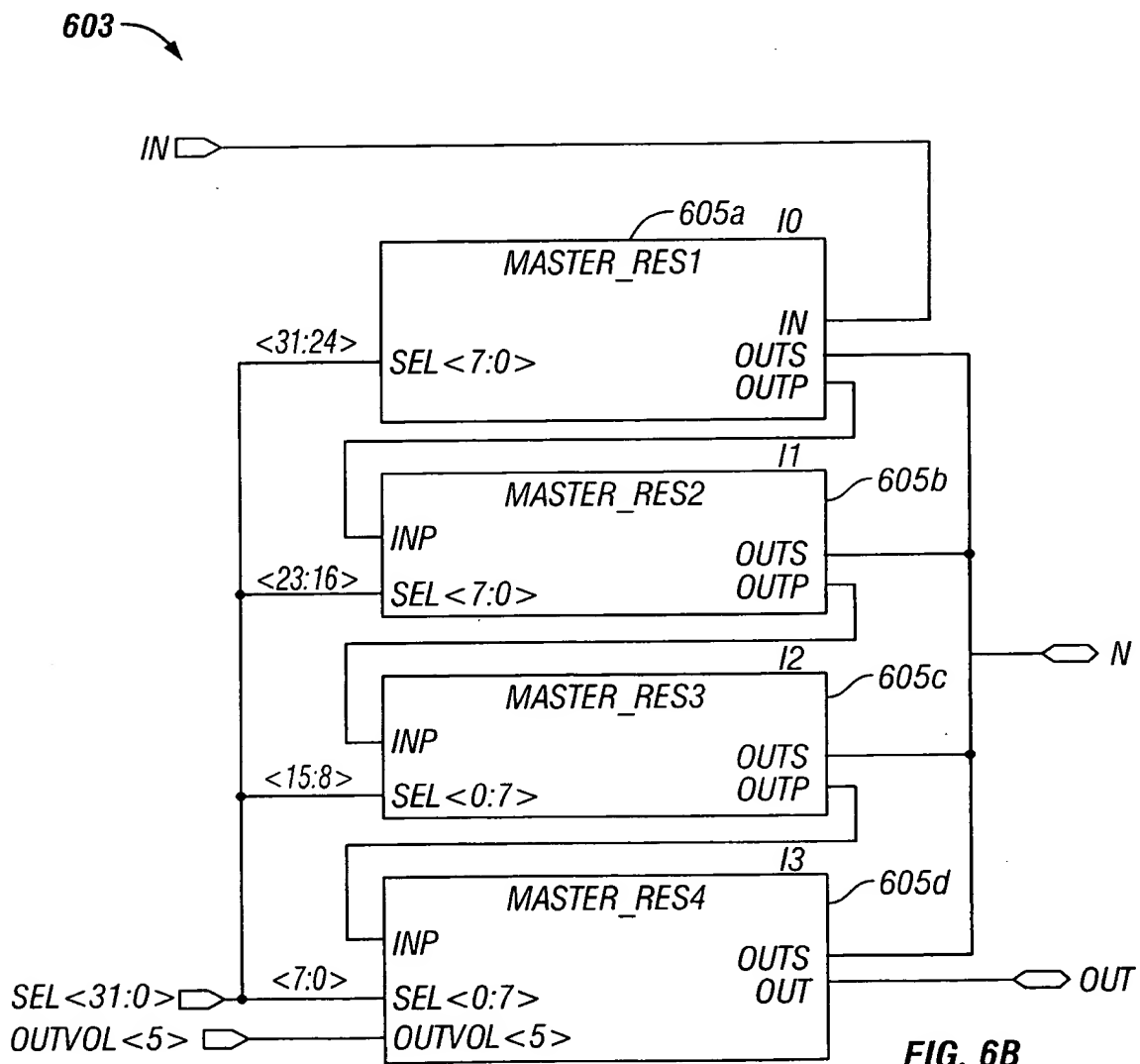


FIG. 6B

11/12

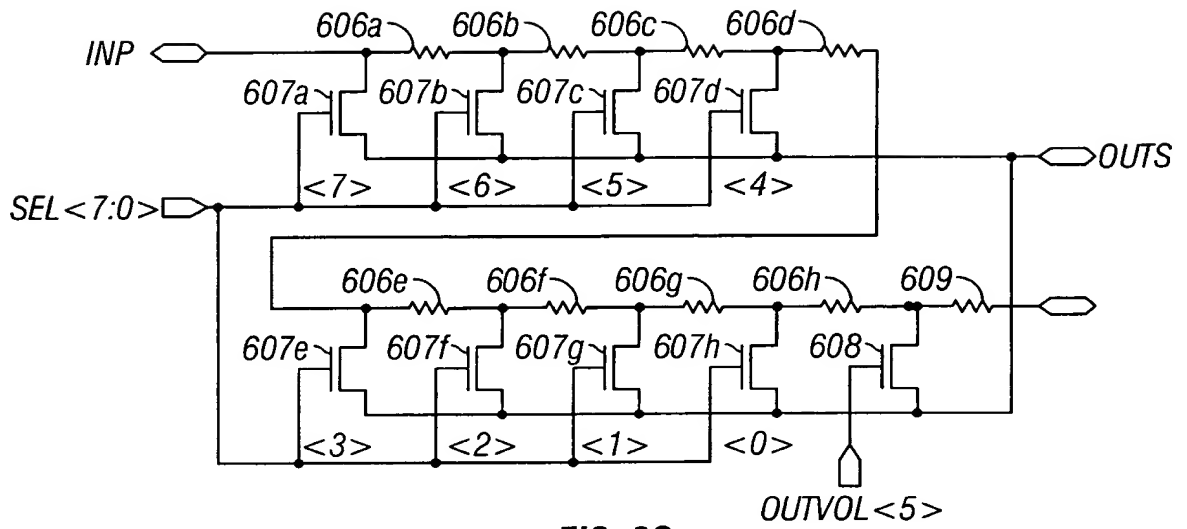


FIG. 6C

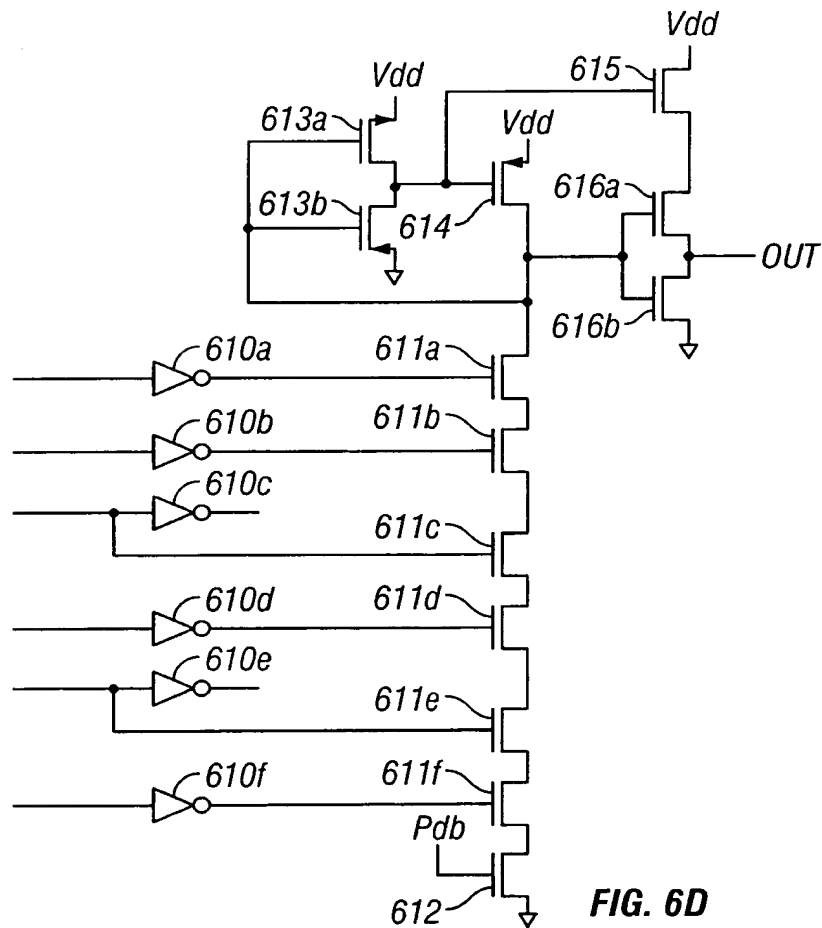


FIG. 6D

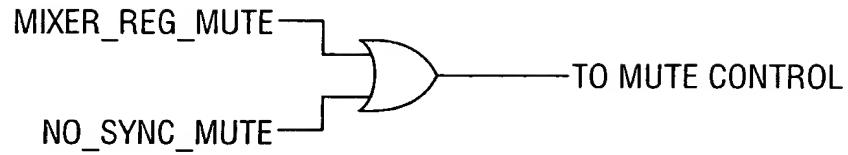


FIG. 7

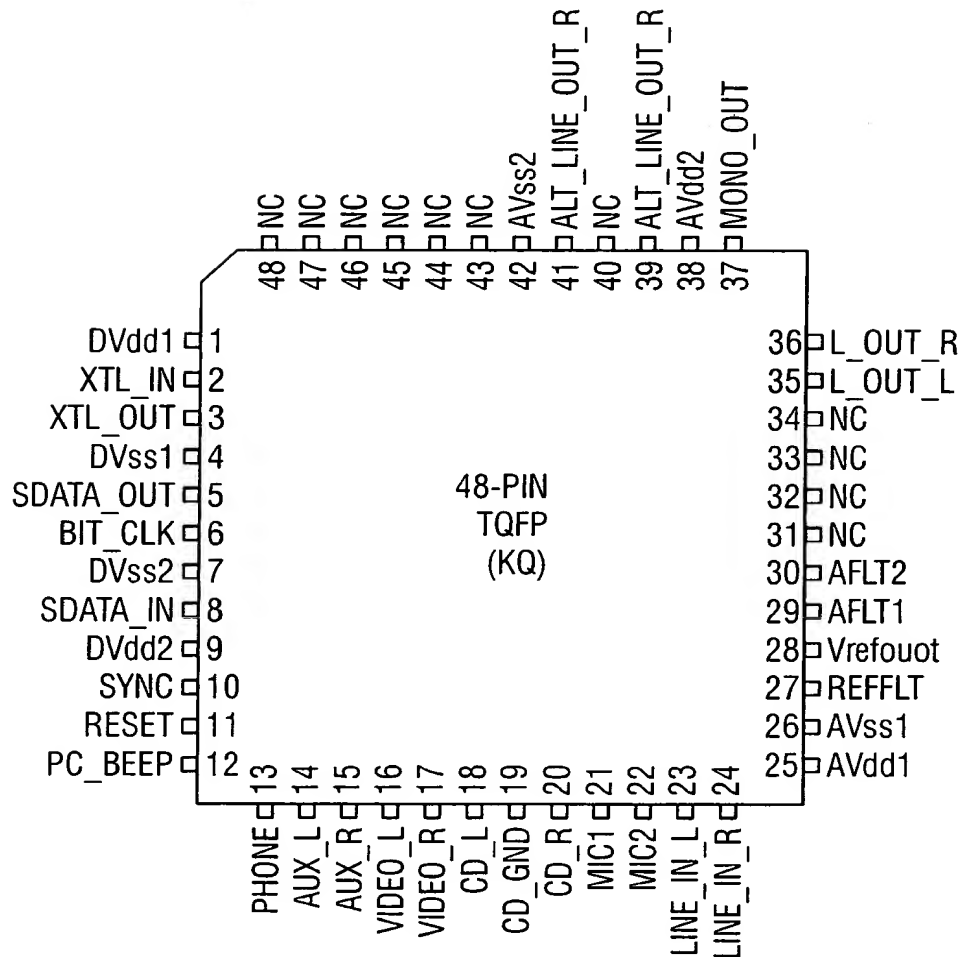


FIG. 8